

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150792
 (43)Date of publication of application : 30.05.2000

(51)Int.CI.
 H01L 27/04
 H01L 21/822
 H01L 21/318
 H01L 21/324
 H01L 29/78

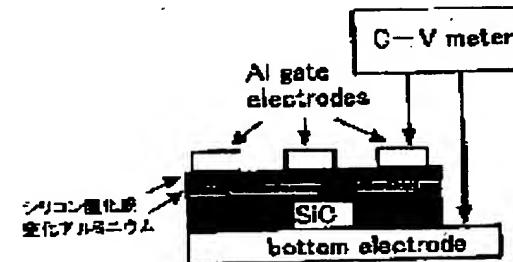
(21)Application number : 10-320092	(71)Applicant : AGENCY OF IND SCIENCE & TECHNOL
(22)Date of filing : 11.11.1998	(72)Inventor : ARAI KAZUO YOSHIDA SADAJI OKUMURA HAJIME NAGAI KIYOKO SEKIKAWA TOSHIHIRO FUKUDA KENJI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the electric characteristic of a semiconductor device so that the device may have a high dielectric breakdown voltage and a low interfacial level density.

SOLUTION: In a semiconductor device provided with a metallic layer formed on a semiconductor substrate containing silicon carbide in at least its uppermost layer through an insulator, the insulator is constituted by laminating an oxide film and/or a nitride film upon the lowermost aluminum nitride layer. In addition, after the insulator is formed on the semiconductor substrate or the metallic layer is formed on the insulator, hydrogen annealing or hydrogen plasma irradiation is performed.



LEGAL STATUS

[Date of request for examination] 11.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3148982
[Date of registration] 19.01.2001
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-150792

(P2000-150792A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷
 H 01 L 27/04
 21/822
 21/318
 21/324
 29/78

識別記号

F I
 H 01 L 27/04
 21/318
 21/324
 29/78

テマコード(参考)
 C 5 F 0 3 8
 B 5 F 0 4 0
 Z 5 F 0 5 8
 3 0 1 G
 3 0 1 B

審査請求 有 請求項の数4 OL (全5頁)

(21)出願番号 特願平10-320092

(71)出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(22)出願日 平成10年11月11日 (1998.11.11)

(72)発明者 荒井 和雄

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72)発明者 吉田 貞史

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(74)指定代理人 220000356

工業技術院電子技術総合研究所長

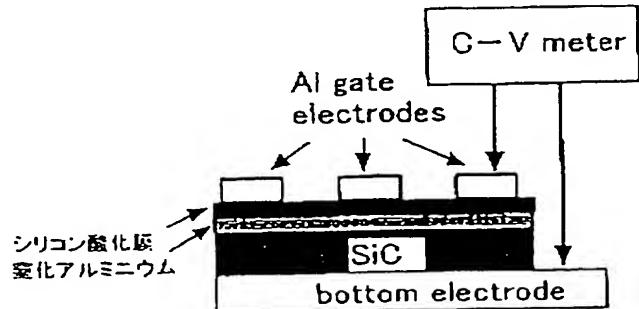
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【解決手段】少なくとも最上層に炭化珪素を有する半導体基板上に、絶縁体を介して金属層を設けた半導体装置において、絶縁体を最下層に窒化アルミニウム、その上に酸化膜及び／或は窒化膜の1層又は2層以上を積層して構成すると共に、半導体基板上に絶縁体を形成後、或は絶縁体上に金属層を形成後に水素アニール処理乃至水素プラズマ照射処理を行う。

【効果】高絶縁破壊電圧で、しかも低界面準位密度の良好な電気特性を有する、半導体装置及び半導体装置が搭載された半導体集積回路を作製することができる。



【特許請求の範囲】

【請求項1】少なくとも最上層に炭化珪素を有する半導体基板上に、絶縁体を介して金属層を設けた半導体装置において、絶縁体を最下層に窒化アルミニウム、その上に酸化膜及び／或は窒化膜の1層又は2層以上を積層して構成したことを特徴とする半導体装置。

【請求項2】金属層を、アルミニウムを含有する合金或は不純物を含有するポリシリコン或はシリコンで構成する請求項1記載の半導体装置。

【請求項3】少なくとも最上層に炭化珪素を有する半導体基板上に、最下層に窒化アルミニウム、その上に酸化膜及び／或は窒化膜の1層又は2層以上を積層してなる絶縁体を形成し、その上に金属層を形成する半導体装置の製造方法において、絶縁体を形成した後、或は金属層を形成した後に水素アニールを行うことを特徴とする半導体装置の製造方法。

【請求項4】少なくとも最上層に炭化珪素を有する半導体基板上に、最下層に窒化アルミニウム、その上に酸化膜及び／或は窒化膜の1層又は2層以上を積層してなる絶縁体を形成し、その上に金属層を形成する半導体装置の製造方法において、絶縁体を形成した後、或は金属層を形成した後に水素プラズマ照射処理を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、低界面準位密度と高いゲート絶縁膜の破壊電圧を有する、半導体基板として、少なくとも最上層に炭化珪素を用いた、MIS構造、或はMIS電界効果型トランジスタ(metal-insulator-semiconductor field-effect transistor)を搭載した半導体装置、半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】ワイドギャップ半導体である、炭化珪素基板上に形成されたゲート絶縁膜／炭化珪素界面に発生する界面準位密度は、シリコン基板を熱的に酸化して形成された、ゲート酸化膜／シリコン界面に発生する界面準位密度より1桁以上高く、低チャネル移動度の原因の一つになっている。

【0003】そこで、最近炭化珪素と格子定数が近く、格子ミスマッチが0.9%である窒化アルミニウムを絶縁膜として使う研究が報告されているが、窒化アルミニウムの絶縁破壊電圧が低く、実際には使用できず問題になっている。

【0004】

【発明が解決しようとする課題】そこで、この発明においてはSiC MISキャパシタ或はMISFETにおいて、窒化アルミニウムを用いたゲート絶縁膜の低絶縁破壊電圧の問題を解決することを目的とする。

【0005】更に、この発明においては上記ゲート絶縁

膜において窒化アルミニウム上に酸化膜或は窒化膜を形成する際に窒化アルミニウムと酸化膜或は窒化膜の間に発生する高界面準位密度の問題を解決することを目的とする。

【0006】

【課題を解決するための手段】以上の課題を解決するため、この発明においては少なくとも最上層に炭化珪素を有する半導体基板上に、絶縁体を介して金属層を設けた半導体装置において、絶縁体を最下層に窒化アルミニウム、その上に酸化膜及び／或は窒化膜の1層又は2層以上を積層して構成した半導体装置を提案するものである。

【0007】なお、炭化珪素(SiC)には、3C-SiC、4H-SiC、6H-SiC、15R-SiCなど非常に多くのポリタイプがあるが、この発明において半導体基板として使用する炭化珪素はSiCであれば、何れのタイプのものでもよい。

【0008】また、半導体基板の構造は最上層がSiCであれば、Si上に3C-SiCがある構造、6H-SiCや4H-SiCの上に3C-SiCがある構造でもよい。

【0009】半導体基板のSiC上にはMolecular-beam epitaxy(MBE)法或はMetalorganic-chemical-vapor-deposition(MOCVD)法等の方法で窒化アルミニウムを形成した後、この上に酸化膜或は窒化膜を形成して絶縁体を設ける。

【0010】酸化膜乃至窒化膜としては、シリコン酸化膜乃至シリコン窒化膜が一般的であるが、これに限定されることなく、アルミニウム酸化膜、タンタル酸化膜、別の条件で作製した窒化アルミニウム膜、ガリウム窒化膜など何れの酸化膜乃至窒化膜でもよい。

【0011】また、窒化アルミニウム上の酸化膜乃至窒化膜は単層である必要はなく、2層以上の多層膜であってもよい。

【0012】窒化アルミニウム上への酸化膜乃至窒化膜の作製方法としては、MBE法の他に、CVD法、LPCVD法、プラズマCVD法、スパッタ法などの何れの方法も採用することができ、更に窒化アルミニウム上に金属層或は半導体層を形成した後、これらを酸化乃至窒化して形成してもよい。

【0013】一方、絶縁体の酸化膜乃至窒化膜上には、ゲート電極、配線層となる金属層が設けられるが、これらの金属層は例えばアルミニウムを含有する合金、或は不純物を含有するポリシリコン、シリコン等で構成することができる。

【0014】

【作用】即ち、窒化アルミニウムだけでは実用に耐える高耐圧絶縁膜にすることができないが、以上のように、窒化アルミニウム上に酸化膜或は窒化膜を設けて絶縁膜を構成することにより、実用に耐える高耐圧絶縁膜にすることができる。

【0015】一方、窒化アルミニウム上への酸化膜乃至窒化膜の形成条件がずれると、窒化アルミニウムと酸化膜乃至窒化膜の界面準位が発生するが、この場合は窒化アルミニウム上に酸化膜乃至窒化膜を形成した後に、水素アニール処理乃至水素プラズマ照射処理を行うことにより、窒化アルミニウムと酸化膜乃至窒化膜との界面に発生する界面準位密度を低減して、良好な容量-電圧(C-V)特性を有するMISキャバシタ及びMISFETを作製することができる。

【0016】ここで、水素アニール処理乃至水素プラズマ照射処理は窒化アルミニウム上に絶縁膜を形成した直後に行ってもよいが、絶縁膜上に金属層を形成した後にあってもよく、更にこれらの処理は単独で行ってもよいが、組み合わせて行ってもよい。

【0017】なお、水素アニールは温度400~1600°C、アニール時間10~3時間、水素圧力 $0.1\text{Pa} \sim 1.01 \times 10^5\text{Pa}$ の条件で行うことができ、また水素含有ガス雰囲気の圧力は常圧($1.01 \times 10^5\text{Pa}$)に固定して、水素と不活性ガスとの混合ガスにおいて水素濃度<水素流量/(水素流量+不活性ガス流量)>が0.5%~100%の混合ガスを用いてもよい。

【0018】

【実施例】以下、この発明の実施例を示す。

実施例1

この発明の方法によりMISキャバシタの作製を以下の手順で行った。半導体基板としては、8°オフした4H-SiCのバルク基板<(0001)Si面、n型>の上に $5\mu\text{m}$ の4H-SiCエピ層(n型、 $\text{Nd}-\text{Na}=1 \times 10^{16}/\text{cm}^3$)を形成した4H-SiC基板を用いた。

【0019】これらの基板を、通常のRCA洗浄後、犠牲酸化膜を形成しHF(フッ酸)で除去した。次に、MBE法で50nmの窒化アルミニウム膜を形成した。更に、MBE法或はCVD法で22nmのSi膜を形成した後、酸素流量(1L/分)で、1100°Cで30分間酸化することにより、50nmの SiO_2 膜を成膜した。

* 【0020】その後、温度1000°C、時間30分、水素圧力 $5.6 \times 10^3\text{Pa}$ の条件で水素アニールを行った。そして、最終的にはAlをゲート電極とオーミックコンタクトに用いてMOSキャバシタが作製した。完成した断面模式図を図1に示す。

【0021】実施例2

実施例1と同様な条件で半導体基板上に窒化アルミニウムを成膜し、シリコン窒化膜とシリコン酸化膜を設け、更に実施例1と同様に水素アニール処理し、シリコン窒化膜上にAlゲート電極を設けてMISキャバシタを作製した。完成した断面模式図を図2に示す。

【0022】実施例3

この発明によるN型MISFETの作成例を次に示す。窒化アルミニウム上に絶縁膜上にポリシリコンをCVDで作製した。次いで、リンをドープしてポリシリコン膜の抵抗を下げる。その後、ポリシリコン膜、絶縁膜及び窒化アルミニウムを選択的にエッチングしてゲートを作製する。

【0023】次に、全面に窒素、矯、砒素(P型MISFET)を作製する場合は、アルミニウム、ボロン、フッ化ボロン、ベリリュウム)をイオン注入して、ソース、ドレインを形成する。その後、低温でシリコン酸化膜を全面に形成して、その上にホウ素とリンを含むシリコン酸化膜を全面に形成した後、900°Cで15分熱処理することにより、このシリコン酸化膜を平坦化する。

【0024】その後、SOG膜を全面塗布し、エッチングする。次いで、選択的にシリコン酸化膜をエッチングして、バファードフッ酸(BHF)で洗浄後にトランジスタへのコンタクト孔を開口する。更に、全面にスパッタ法によりアルミニウム合金からなる金属配線層を形成して、これをバターニングして所望の金属配線を形成する。

【0025】比較例

MISキャバシタ試料の作製条件を下記の表1に示す。

【表1】

表1 試料作成条件

試料a	窒化アルミニウムのみ
試料b	窒化アルミニウム+シリコン酸化膜
試料c	窒化アルミニウム+シリコン酸化膜+ H_2 アニール
試料d	窒化アルミニウム+シリコン酸化膜+ H_2 プラズマ

【0026】図3に、試料aの高周波CV曲線と理想曲線との比較を示す。ここで、周波数fは、 $f=100\text{kHz}$ で、 $C=V$ 、電流-電圧(I-V)特性は、シールドされた金属の箱の中で暗闇の条件で測定した。破線は、25Vでの酸化膜容量と $\text{Nd}-\text{Na}=8 \times 10^{15}/\text{cm}^3$ から計算された理想曲線を示す。

【0027】図3によれば、試料aは電圧をプラス側に印

加した場合の行きと帰りでヒステリシスはなく、フラットバンド電圧シフトは0.27Vと小さく、良好なCV特性を示した。

【0028】下記の表2に試料の作製条件と絶縁破壊電圧の関係を示す。

【表2】

表2 絶縁破壊電圧 VS 試料作成条件

試料	絶縁破壊電圧
試料 a	0.3MV/cm
試料 b,c,d	10MV/cm

【0029】これによれば、窒化アルミニウムだけだと、絶縁破壊電圧は、0.3MV/cmと実際の使用に耐えないが、窒化アルミニウム上にシリコン酸化膜を形成することにより、10MV/cmになり、実際の使用に十分に耐える絶縁破壊電圧になる。

【0030】しかし、窒化アルミニウム上の酸化膜の形成条件がずれた時には、窒化アルミニウムと酸化膜界面に界面準位が発生し、CV特性に1V程度のヒステリシスが観察された。

【0031】一方、試料c,dのように、窒化アルミニウム上に絶縁膜を形成した後に、水素アニール或は水素プラズマ照射することにより、窒化アルミニウムと絶縁膜界面に発生したダンギリングボンドを水素で終端して、界面準位密度を軽減することにより、ヒステリシス

が消失して、良好なC-V特性を有する、MISキャパシタ或はMISFETを作製することができる。

【0032】

【発明の効果】以上要するに、この発明によれば高絶縁破壊電圧で、しかも低界面準位密度の良好な電気特性を有する、半導体装置及び半導体装置が搭載された半導体集積回路を作製することができる。

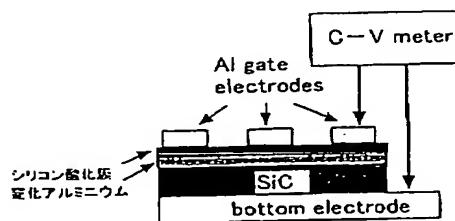
【図面の簡単な説明】

【図1】この発明の一実施例を示すMIS構造の模式断面図

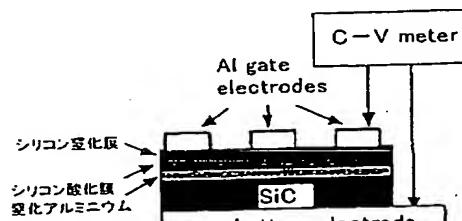
【図2】この発明の他の実施例を示すMIS構造の模式断面図

【図3】試料 a の高周波CV曲線と理想曲線との比較を示す図

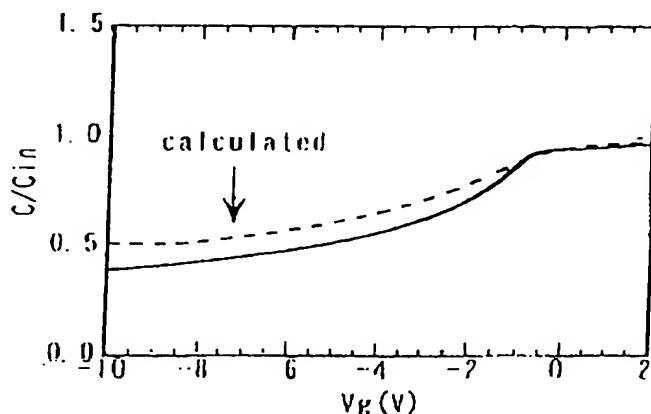
【図1】



【図2】



【図3】



フロントページの続き

(72) 発明者 奥村 元

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72) 発明者 永井 清子

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72) 発明者 関川 敏弘

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72) 発明者 福田 憲司

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

F ターム(参考) 5F038 AC03 AC05 AC14 EZ02 EZ14

EZ15 EZ16 EZ17 EZ20

5F040 DA19 DB01 DB09 DC02 EC04

ED07 EJ03 FC00 FC05 FC11

FC15

5F058 BA01 BA11 BB10 BD01 BD04

BD12 BF20 BF53 BF62 BH01

BH05 BJ10